



0120

PATENT

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicants: Jang et al.

Serial No.: 10/606693

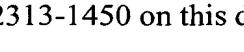
Filed: June 26, 2003

For: Methods of Making Shallow Trench-Type Pixels for CMOS Image Sensors

Group Art Unit: unknown

Examiner: unknown

- I hereby certify that the documents referred to as enclosed herewith are being deposited with the United States Postal Service, first class postage prepaid, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450 on this date:
July 15, 2003


Mark C. Zimmerman
Reg. No. 44,006

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application
Serial No. 10-2002-0036334 filed June 27, 2002, the priority of which is claimed
under 35 U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By

Mark C. Zimmerman
Registration No.: 44.006

July 15, 2003



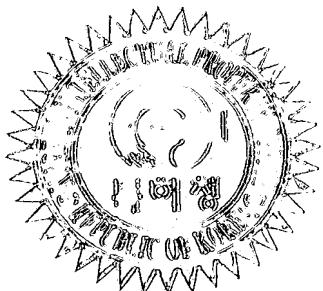
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0036334
Application Number

출 원 년 월 일 : 2002년 06월 27일
Date of Application JUN 27, 2002

출 원 인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 06 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.06.27
【발명의 명칭】	씨모스 이미지 센서의 살로우 트렌치형 화소 형성 방법
【발명의 영문명칭】	METHOD OF MAKING SHALLOW TRENCH TYPE PIXEL FOR CMOS IMAGE SENSOR
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	2001-050901-4
【발명자】	
【성명의 국문표기】	장훈
【성명의 영문표기】	JANG,Hoon
【주민등록번호】	750710-1350930
【우편번호】	361-271
【주소】	충청북도 청주시 흥덕구 복대1동 덕성아파트 에이동 1303호
【국적】	KR
【발명자】	
【성명의 국문표기】	임근혁
【성명의 영문표기】	LIM,Keun Hyuk
【주민등록번호】	750814-1457825
【우편번호】	142-809
【주소】	서울특별시 강북구 미아9동 133-1 나동 102호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
강성배 (인)

【수수료】

【기본출원료】	13	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	4	항	237,000 원
【합계】		266,000 원	
【첨부서류】		1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 씨모스 이미지 센서의 샬로우 트렌치형 화소 형성 방법에 관한 것으로, 포토 다이오드를 샬로우 트렌치 형태로 형성하므로써, 화소의 유효면적을 증가시킬 수 있는 기술을 제공한다. 이를 위한 본 발명의 씨모스 이미지 센서의 샬로우 트렌치형 화소 형성 방법은, 고농도로 도핑된 P형 기판 위에 저농도로 도핑된 에피택셜층의 구조를 갖는 에피택셜 웨이퍼 위에 CMOS 이미지 센서를 형성하는 단계; 상기 구조물 위에 제 1 포토레지스트막을 형성한 후 화소 영역에 샬로우 트렌치를 형성하기 위한 패터닝을 실시한 다음 식각하는 단계; 상기 제 1 포토레지스트막을 제거하는 단계; 상기 구조물 위에 제 2 포토레지스트막을 형성한 후 화소 영역에 포토 다이오드 접합을 형성하기 위한 패터닝을 실시한 다음 이온 주입하는 단계; 및 상기 제 2 포토레지스트막을 제거한 후 열 공정을 실시하는 단계를 포함하는 것을 특징으로 한다.

【대표도】

도 2d

【명세서】**【발명의 명칭】**

씨모스 이미지 센서의 살로우 트렌치형 화소 형성 방법{METHOD OF MAKING SHALLOW TRENCH TYPE PIXEL FOR CMOS IMAGE SENSOR}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래 기술에 따른 CMOS 이미지 센서의 화소 형성 방법을 설명하기 위한 제조 공정단면도

도 2a 내지 도 2d는 본 발명에 의한 CMOS 이미지 센서의 살로우 트렌치형 화소 형성 방법을 설명하기 위한 제조 공정단면도

도 3은 본 발명에 의한 화소의 래이아웃 도면

도 4는 도 3에 도시된 A-A' 방향을 절취한 단면도

도 5는 포토다이오드의 등가 회로도

(도면의 주요 부분에 대한 부호의 설명)

11 : 고농도로 도핑된 P형 기판

12 : 저농도로 도핑된 에피택셜층 13 : 살로우 트렌치 분리막

14, 15 : 포토레지스트막 16 : 이온 주입

17 : 이온 주입에 의한 포토다이오드 도핑 프로파일

18 : 이온 주입 후 열 공정에 의한 포토다이오드 도핑 프로파일

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 CMOS 이미지 센서(Image Sensor)의 샬로우 트렌치형(Shallow Trench type) 화소(pixel) 형성 방법에 관한 것으로, 특히 포토 다이오드(photo diode)를 샬로우 트렌치(shallow trench) 형태로 형성하므로써, 화소의 유효면적을 증가시킬 수 있는 CMOS 이미지 센서의 샬로우 트렌치형 화소 형성 방법에 관한 것이다.
- <13> 일반적으로, CMOS 이미지 센서에서 빛을 받아들여서 영상을 검출하는 화소는 포토 다이오드가 형성되는 영역이며, 포토다이오드는 PN 접합으로 입사되는 빛에 의해 EHP(electron hole pair)를 발생시켜 전기적 신호로 변환하기 위한 소자이다.
- <14> 현재 상용화 되고 있는 프로세스 기술은 $0.35\mu\text{m} \sim 0.50\mu\text{m}$ 로서, 화소 크기는 $7 \sim 8\mu\text{m}$ 이며, 2차원 형태의 화소 구조일 경우 물리적 한계는 $0.25\mu\text{m}$ 기술에서 $4\mu\text{m} \times 4\mu\text{m}$ 수준으로 보고 있다.
- <15> 그러나, 기술 문제는 SoC(system on chip)로 한 칩(chip)내에 여러 구성요소를 집적화하기 위해 $0.25\mu\text{m}$ 이하의 공정을 사용하지 않으면 안되며, 화소의 크기 또한 더 작아져야 하고, 포토일렉트론은 기존과 비슷한 수준을 유지해야 영상신호를 노이즈(noise) 및 기생성분에서 분리해 낼 수 있는 센서(Sensor)가 될 수 있다.
- <16> 이러한 구조에서, 화소 영역을 식각하여 샬로우 트렌치형(shallow trench type)으로 형성하여 측면 부분의 면적을 이용하여 디자인 크기는 감소하지만, 유효면적이 보상될수 있도록 한 발명이다.

- <17> 또한, 포토 다이오드를 형성하기 위한 이온 주입시 표면의 환경에 의해 샐로우 트렌치의 에지 부분의 하부 도핑 프로필(doping profile)이 소자 분리의 측벽쪽으로 깊게 형성되어 재결합 전류(recombination current)를 감소시키는 효과를 볼 수 있다.
- <18> STI 방식의 분리는 에지 부근에 식각 손상(etch damage)에 의한 디펙트 센터(defect center)가 많이 존재하기 때문에 입사되는 빛이 없는 다크(dark) 상황에서도 전류가 흐르는 즉, 다크 커런트(dark current)를 유발시키는 원인이 된다. 그래서, 보통은 STI 깊이를 커버할 수 있게 깊이 포토 다이오드 이온 주입을 실시하지만, 이 경우 가시광에서 파장이 짧은 블루(blue)쪽 신호가 물이게 되는 단점이 있다.
- <19> 그러면, 첨부도면을 참조하여 종래 CMOS 이미지 센서의 화소(pixel) 형성 방법에 대해 알아보고 그 문제점에 대해 설명하기로 한다.
- <20> 도 1a 내지 도 1c는 종래 기술에 따른 반도체 소자의 이미지 센서 제조 방법을 설명하기 위한 제조 공정단면도이다.
- <21> 먼저, 도 1a를 참조하면, CMOS 이미지 센서는 고농도로 도핑된 P형 기판(1) 위에 저농도로 도핑된 에피택셜(Epitaxial)층(2)의 구조를 갖는 에피택셜(Epitaxial) 웨이퍼 위에 형성된다. 액티브 영역은 샐로우 트렌치 분리(STI)막(3)으로 분리되어 있다.
- <22> 그 다음, 도 1b와 같이, 형성된 액티브 영역 위에 포토레지스트막(4)을 패터닝한 후 포토다이오드 PN 접합을 형성하기 위해 이온 주입을 실시한다. 이 때, 저농도로 도핑된 에피택셜(Epitaxial)층(2)에 도핑된 프로파일(profile)은 도면부호 6과 같다.
- <23> 그 다음, 도 1c와 같이, 상기 포토레지스트막(4)을 제거한 후 어닐(anneal) 공정을 실시한다. 이 때, 저농도로 도핑된 에피택셜(Epitaxial)층(2)에 도핑된 최종 프로파일

(profile)은 도면부호 7과 같이 STI막(3) 하부에서 접합을 형성하여 STI 에지에서 발생 할 수 있는 재결합 전류(recombination current)를 감소시킨다.

【발명이 이루고자 하는 기술적 과제】

<24> 위에서 살펴본 바와 같이, 종래의 CMOS 이미지 센서의 화소 형성 방법은 STI 에지의 결함(defect) 및 손상(damage)에서 야기되는 재결합 문제로 인해서 포토다이오드 접합(photo diode junction)을 깊이 만들어준다. 그러나 이런 경우, 표면에 가까운 영역에서 블루(Blue) 파장의 신호를 읽기 쉬워진다. 또한, 2차원적인 구조에서는 유효면적과 화소 크기가 동일하기 때문에 접적도에 가장 큰 단점으로 작용된다.

<25> 따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 디프 서브마이크론 레벨(Deep submicron level) 즉, $0.25\mu\text{m}$ 기술 이하의 CMOS 이미지 센서에서 문제시 되는 화소 감소(Pixel shrinkage)에 따른 포토일렉트론(photoelectron) 감소 문제를 해결하기 위해, 포토 다이오드를 샅로우 트렌치(shallow trench) 형태로 형성하여 화소의 유효면적을 증가시킴으로써 영상신호를 처리하기 위한 최소한의 포토일렉트론을 확보할 수 있는 CMOS 이미지 센서의 샅로우 트렌치형 화소 형성 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<26> 상기 목적을 달성하기 위한 본 발명에 의한 CMOS 이미지 센서의 샅로우 트렌치형 화소 형성 방법은,

<27> 고농도로 도핑된 P형 기판 위에 저농도로 도핑된 에피택셜층의 구조를 갖는 에피택 설 웨이퍼 위에 CMOS 이미지 센서를 형성하는 단계;

- <28> 상기 구조물 위에 제 1 포토레지스트막을 형성한 후 화소 영역에 샐로우 트렌치를 형성하기 위한 패터닝을 실시한 다음 식각하는 단계;
- <29> 상기 제 1 포토레지스트막을 제거하는 단계;
- <30> 상기 구조물 위에 제 2 포토레지스트막을 형성한 후 화소 영역에 포토 다이오드 접합을 형성하기 위한 패터닝을 실시한 다음 이온 주입하는 단계; 및
- <31> 상기 제 2 포토레지스트막을 제거한 후 열 공정을 실시하는 단계를 포함하는 것을 특징으로 한다.
- <32> 상기 제 1 및 제 2 포토레지스트막의 제거는 에싱(Ashing) 공정에 의해 제거하는 것을 특징으로 한다.
- <33> 상기 열 공정은 어닐(anneal) 공정으로 진행하는 것을 특징으로 한다.
- <34> 상기 열 공정에 의해 저농도로 도핑된 에피택셜층에 도핑된 최종 프로파일은 샐로우 트렌치 분리막의 상부에 형성되는 것을 특징으로 한다.
- <35> 이하, 본 발명의 실시예에 관하여 첨부도면을 참조하면서 상세히 설명한다.
- <36> 또, 실시예를 설명하기 위한 모든 도면에서 동일한 기능을 갖는 것은 동일한 부호를 사용하고 그 반복적인 설명은 생략한다.
- <37> 도 2a 내지 도 2d는 본 발명에 의한 CMOS 이미지 센서의 샐로우 트렌치형 화소 형성 방법을 설명하기 위한 제조 공정단면도이다.
- <38> 먼저, 도 2a를 참조하면, 고농도로 도핑된 P형 기판(11) 위에 저농도로 도핑된 에피택셜(Epitaxial)층(12)의 구조를 갖는 에피택셜(Epitaxial) 웨이퍼 위에 CMOS 이미지 센서를 형성한다. 액티브 영역은 샐로우 트렌치 분리(STI)막(13)으로 분리되어 있다.

<39> 그 다음, 도 2b와 같이, 도 2a의 구조물 위에 포토레지스트막(14)을 형성한 후 화소 영역에 샬로우 트렌치를 형성하기 위한 패터닝(14)을 실시한 다음 상기 에피택셜(Epitaxial)층(12)을 식각한다.

<40> 그 다음, 도 2c와 같이, 도 2b의 구조물 위에 포토레지스트막(15)을 형성한 후 형성된 화소 영역에 포토 다이오드 접합을 형성하기 위한 패터닝(15)을 실시한 다음, 이온 주입(16)을 실시한다. 이 때, 저농도로 도핑된 에피택셜층(12)에 도핑된 프로파일(profile)은 도면부호 17과 같다.

<41> 그 다음, 도 2d와 같이, 상기 포토레지스트막(15)을 제거한 후 어닐(anneal) 공정을 실시한다. 이 때, 어닐(anneal) 공정에 의해 저농도로 도핑된 에피택셜층(12)에 도핑된 최종 프로파일(profile)은 도면부호 18과 같이 형성됨을 볼 수 있다.

<42> 도 3은 본 발명에 의한 CMOS 이미지 센서의 샬로우 트렌치형 화소 형성 방법을 설명하기 위한 화소의 레이아웃 도면이다. 여기서, 도면부호 21은 액티브 영역에 형성된 화소이고, 도면부호 22는 샬로우 트렌치이다.

<43> 도 4는 도 3에 도시된 A-A' 방향을 절취한 단면도이다. 여기서, 도면부호 23은 서브(sub) 역할을 하는 에피택셜층을 나타내고, 도면부호 24는 포토다이오드 도핑 프로파일을 나타낸다.

<44> 도 5는 포토다이오드의 등가 회로도이다.

【발명의 효과】

<45> 이상에서 설명한 바와 같이, 본 발명에 의한 CMOS 이미지 센서의 샬로우 트렌치형 화소 형성 방법은 게이트 폴리에 연결된 메탈과 포토 다이오드의 접속을 위해 콘택 공정

을 실시할 때 콘택의 개구부를 포토 다이오드의 상면 및 측면에 동시에 형성하므로써 포토 다이오드의 면적을 증가시켜 수광 능력을 향상시킬 수 있다.

<46> 아울러 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가등이 가능할 것이며, 이러한 수정 변경등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

【특허청구범위】**【청구항 1】**

고농도로 도핑된 P형 기판 위에 저농도로 도핑된 에피택셜층의 구조를 갖는 에피택셜 웨이퍼 위에 CMOS 이미지 센서를 형성하는 단계;
상기 구조물 위에 제 1 포토레지스트막을 형성한 후 화소 영역에 샬로우 트렌치를 형성하기 위한 패터닝을 실시한 다음 식각하는 단계;
상기 제 1 포토레지스트막을 제거하는 단계;
상기 구조물 위에 제 2 포토레지스트막을 형성한 후 화소 영역에 포토 다이오드 접합을 형성하기 위한 패터닝을 실시한 다음 이온 주입하는 단계; 및
상기 제 2 포토레지스트막을 제거한 후 열 공정을 실시하는 단계를 포함하는 것을 특징으로 하는 씨모스 이미지 센서의 샬로우 트렌치형 화소 형성 방법.

【청구항 2】

제 1 항에 있어서,
상기 제 1 및 제 2 포토레지스트막의 제거는 에싱(Ashing) 공정에 의해 제거하는 것을 특징으로 하는 씨모스 이미지 센서의 샬로우 트렌치형 화소 형성 방법.

【청구항 3】

제 1 항에 있어서,
상기 열 공정은 어닐(anneal) 공정으로 진행하는 것을 특징으로 하는 씨모스 이미지 센서의 샬로우 트렌치형 화소 형성 방법.

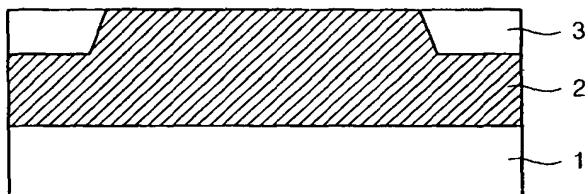
【청구항 4】

제 1 항에 있어서,

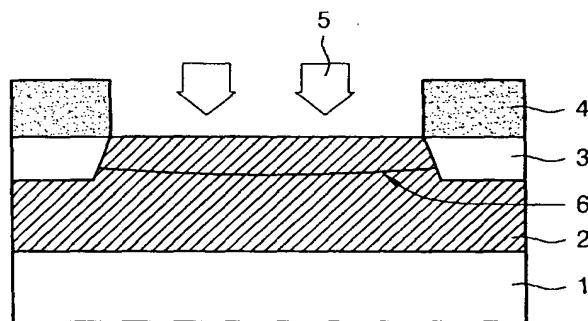
상기 열 공정에 의해 저농도로 도핑된 에피택셜층에 도핑된 최종 프로파일은 살로우 우 트렌치 분리막의 상부에 형성되는 것을 특징으로 하는 씨모스 이미지 센서의 살로우 트렌치형 화소 형성 방법.

【도면】

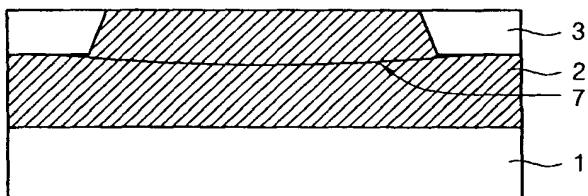
【도 1a】



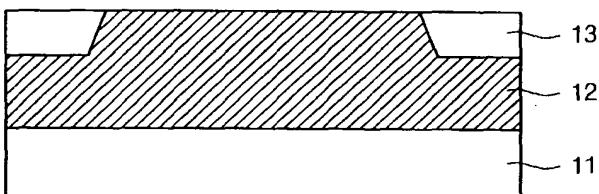
【도 1b】



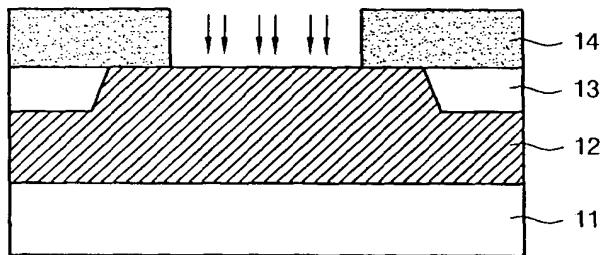
【도 1c】



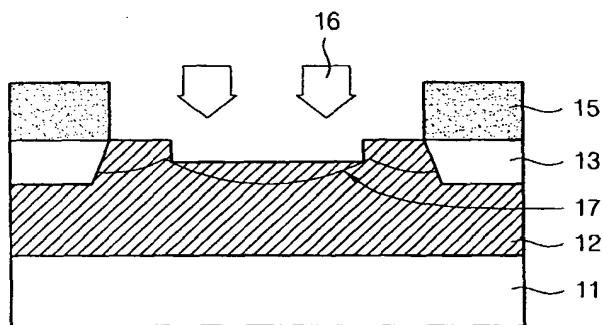
【도 2a】



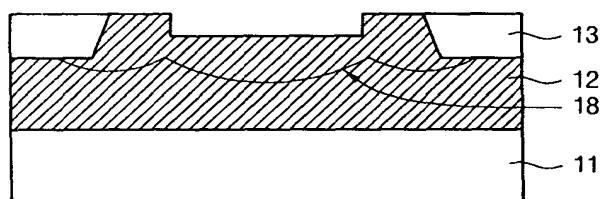
【도 2b】



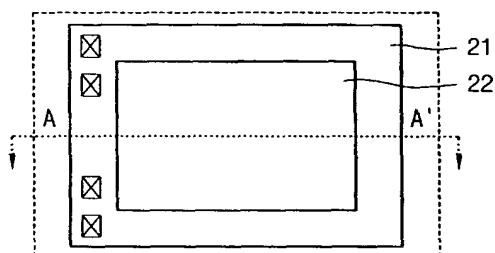
【도 2c】



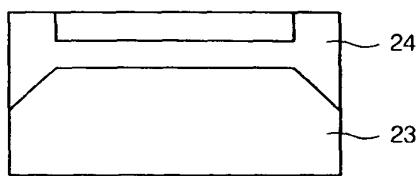
【도 2d】



【도 3】



【도 4】



0020036334

출력 일자: 2003/7/1

【도 5】

